

**JP3-30457**

**Title: Hybrid Integrated Circuit**

---

In the drawings, 1 ..... circuit board, 2 ..... SIL terminal, 3 .....  
electronic device, 4 ..... motherboard, 6 ..... solder, 7 ..... DIL terminal.

⑫ 公開実用新案公報 (U)

平3-30457

⑬ Int. Cl. <sup>8</sup>

H 05 K 1/14  
H 01 R 9/09  
H 05 K 1/14

識別記号

H  
C  
D

庁内整理番号

8727-5E  
6901-5E  
8727-5E

⑭ 公開 平成3年(1991)3月26日

審査請求 未請求 請求項の数 2 (全3頁)

⑮ 考案の名称 混成集積回路

⑯ 実 願 平1-90551

⑰ 出 願 平1(1989)8月1日

⑱ 考 案 者 池 戸 健 志

兵庫県神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社内

⑲ 出 願 人 富士通テン株式会社

兵庫県神戸市兵庫区御所通1丁目2番28号

⑳ 代 理 人 弁理士 青 柳 稔

㉑ 実用新案登録請求の範囲

1 電子部品3を実装する小面積の回路基板1と、

該回路基板の一端部に固定された複数のシングルインライン用端子2とを備え、

該端子を交互に逆向きに折り曲げ、前記基板を立てた状態でマザーボードに面実装できる形状にフォーミングしてなることを特徴とする混成集積回路。

2 電子部品3を実装する小面積の回路基板1と、

該回路基板の一端部に交互に逆向きとなるよう固定された複数のデュアルインライン用端子7とを備え、

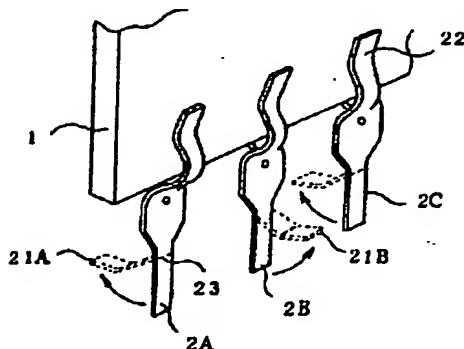
該端子を交互に逆向きに折り曲げ、前記基板を立てた状態でマザーボードに面実装できる形状にフォーミングしてなることを特徴とする混成集積回路。

図面の簡単な説明

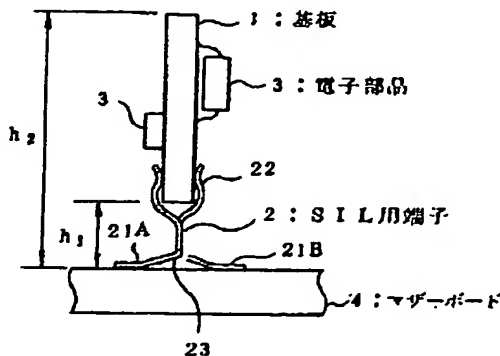
第1図は本考案の第1の原理図、第2図は本考案の第2の原理図、第3図は本考案のDIL用端子取付時の説明図、第4図は本考案のマザーボード搭載時の説明図、第5図は従来のディスクリート実装型端子の説明図、第6図は従来の面実装型端子の説明図である。

図中、1……回路基板、2……SIL用端子、3……電子部品、4……マザーボード、6……半田、7……DIL用端子である。

(a) 斜視図



(b) 側面図

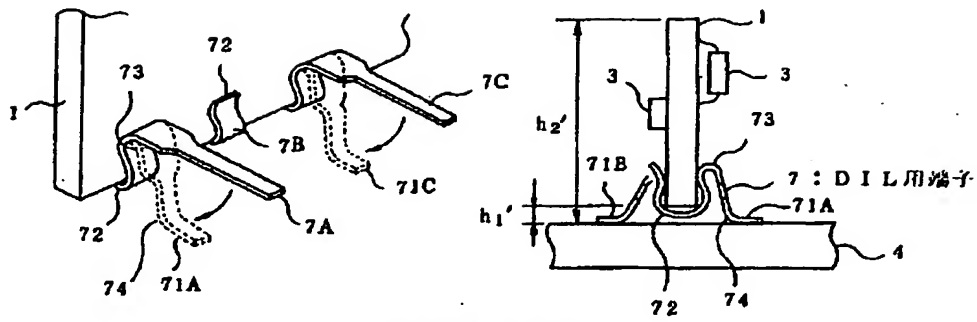


本考案の第1の原理図

第1図

(a) 斜視図

(b) 側面図

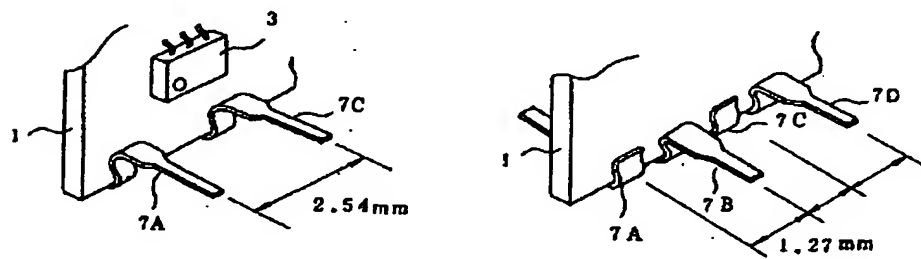


本考案の第2の原理図

第2図

(a) 表面

(b) 裏面

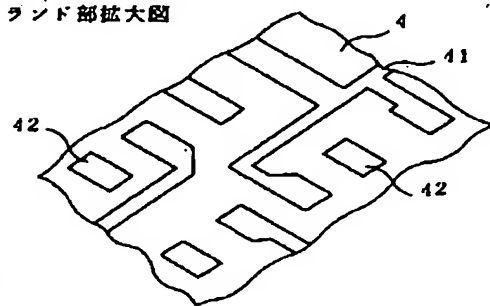
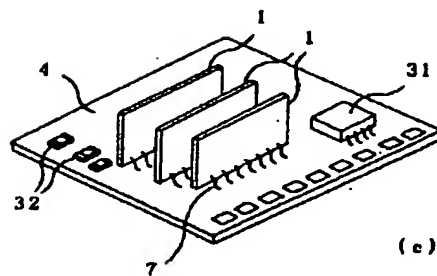


D I L 用端子取付時の説明図

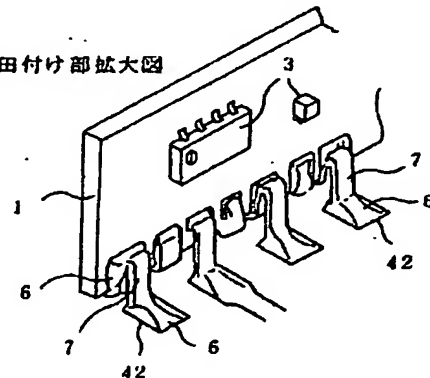
第3図

(b) ランド部拡大図

(a) 全体図



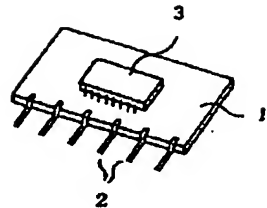
(c) 半田付け部拡大図



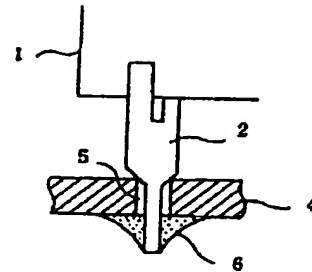
マザーボード搭載時の説明図

第4図

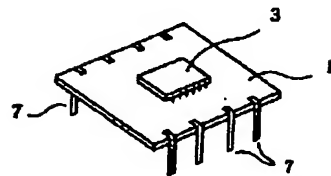
(a) S I L



(b)



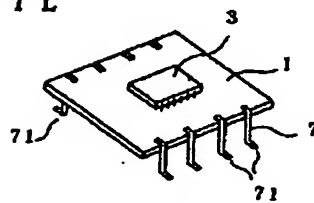
(c) D I L



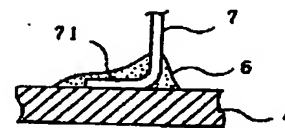
従来のディスクリート実装型端子の説明図

第 5 図

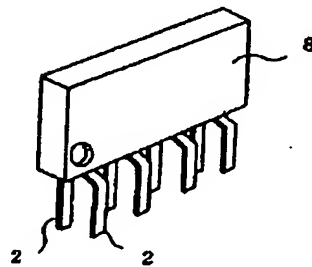
(a) D I L



(b)



(c) S I L



従来の面実装型端子の説明図

第 6 図